

3/5/1 (Item 1 from file: 351)
DIALOG(R) File 351: Derwent WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.

012570126 **Image available**

WPI Acc No: 1999-376233/199932

XRPX Acc No: N99-281260

Clock stop signal generating circuit of LSI for notebook personal computer, portable telephone - controls supply or stoppage of internal clock signal supply to internal circuit based on flag setup corresponding to output of condition monitor circuit

Patent Assignee: KAWASAKI STEEL CORP (KAWI)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 11143570	A	19990528	JP 97308592	A	19971111	199932 B

Priority Applications (No Type Date): JP 97308592 A 19971111

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 11143570	A		6 G06F-001/04	

Abstract (Basic): JP 11143570 A

NOVELTY - A condition monitor circuit (12) monitors two or more input signals from input pin and detects whether the input signals perform stoppage more than predetermined fixed time. Thus, a flag is generated and the supply or stoppage of internal clock signal supply to the internal circuit is accordingly controlled.

USE - In portable electronic machine e.g. notebook PC, portable telephone.

ADVANTAGE - Cost can be reduced since control by software of CPU or outside attachment hardware is not necessary. CRT judges spontaneously the input signal and transfer the control to low power consumption mode since power consumption control can be performed. DESCRIPTION OF

DRAWING(S) - The figure shows clock stop signal generating circuit of LSI. (12) Condition monitor circuit.

Dwg.1/4

Title Terms: CLOCK; STOP; SIGNAL; GENERATE; CIRCUIT; LSI; PERSON; COMPUTER; PORTABLE; TELEPHONE; CONTROL; SUPPLY; STOPPAGE; INTERNAL; CLOCK; SIGNAL; SUPPLY; INTERNAL; CIRCUIT; BASED; FLAG; CORRESPOND; OUTPUT; CONDITION; MONITOR; CIRCUIT

Derwent Class: T01

International Patent Class (Main): G06F-001/04

File Segment: EPI

3/5/2 (Item 1 from file: 347)
DIALOG(R) File 347: JAPIO
(c) 2000 JPO & JAPIO. All rts. reserv.

06202013 **Image available**

CLOCK STOP SIGNAL GENERATION CIRCUIT FOR LSI

PUB. NO.: 11-143570 A]
PUBLISHED: May 28, 1999 (19990528)
INVENTOR(s): HAYASHI HIROYUKI
APPLICANT(s): KAWASAKI STEEL CORP
APPL. NO.: 09-308592 [JP 97308592]
FILED: November 11, 1997 (19971111)
INTL CLASS: G06F-001/04

ABSTRACT

PROBLEM TO BE SOLVED: To provide a clock stop signal generation circuit for an LSI capable of shifting the LSI into a low power consumption mode without needing a dedicated external pin or an internal register.

SOLUTION: This circuit 10 monitors the states of more than two signals S1 to SN which are separately inputted from an input pin or a directional pin in an input state, detects whether or not all of more than two signals S1 to SN stop for more than a prescribed fixed time and generates a sleep flag SLP in accordance with it to control the operation or stop of an internal clock signal that is supplied to an internal circuit in accordance with the state of the sleep flag SLP.

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-143570

(43) 公開日 平成11年(1999) 5月28日

(51) Int.Cl.⁶

G 0 6 F 1/04

識別記号

3 0 1

F I

G 0 6 F 1/04

3 0 1 C

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平9-308592
 (22) 出願日 平成9年(1997)11月11日

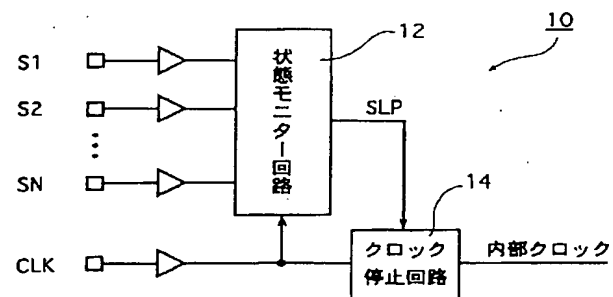
(71) 出願人 000001258
 川崎製鉄株式会社
 兵庫県神戸市中央区北本町通1丁目1番28号
 (72) 発明者 林 博之
 東京都千代田区内幸町2丁目2番3号 川崎製鉄株式会社東京本社内
 (74) 代理人 弁理士 渡辺 望稔 (外1名)

(54) 【発明の名称】 L S I のクロック停止信号生成回路

(57) 【要約】

【課題】 専用の外部ピンや内部レジスタを必要とすることなく、L S I を低消費電力モードに移行させることができるL S I のクロック停止信号生成回路を提供すること。

【解決手段】 入力ピンまたは入力状態の双方向ピンから各々入力される2本以上の信号の状態をモニターし、これら2本以上の信号の全てが所定の一定時間以上停止しているか否かを検出し、これに応じてスリープフラグを生成し、このスリープフラグの状態に応じて、内部回路に供給される内部クロック信号の動作または停止を制御するようにしたことにより、上記課題を解決する。



【特許請求の範囲】

【請求項1】入力ピンまたは入力状態の双方向ピンから各々入力される少なくとも2本の信号の状態をモニターし、前記少なくとも2本の信号の全てが所定の一定時間以上停止しているか否かを検出し、これに応じてスリープフラグを生成する状態モニター回路と、前記スリープフラグの状態に応じて、内部回路に供給される内部クロック信号の動作または停止を制御するクロック停止回路とを有することを特徴とするLSIのクロック停止信号生成回路。

【請求項2】前記少なくとも2本の信号の全てが停止している時間に応じて、複数のスリープフラグを生成することを特徴とする請求項1に記載のLSIのクロック停止信号生成回路。

【請求項3】請求項1または2に記載のLSIのクロック停止信号生成回路であって、前記モニターする信号を各々グループ分けし、前記LSIのクロック停止信号生成回路を複数個設けることによって、複数のスリープフラグを生成することを特徴とするLSIのクロック停止信号生成回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、内部回路に供給される内部クロック信号を動作させるか、あるいは、停止させるかを制御するLSIのクロック停止信号生成回路に関するものである。

【0002】

【従来の技術】近年、携帯電話やノートパソコン等の電池駆動の携帯電子機器の普及に伴って、LSIの低消費電力化が重要な課題の1つになっている。例えば、CMOS-LSIは、素子の構造上、基本的に低消費電力であるが、システム機器の中で特定の動作に寄与していない期間中は、低消費電力モードとして、状態マシンやメモリアクセス等の内部動作を停止させたり、さらには内部クロック信号を停止させているものもある。

【0003】例えば、特開平8-221148号公報には、操作者が、待機状態時に低消費電力モードに移行するか否か、および、キータッチや呼出信号などの外部入力がない状態で、どれだけ時間がたったら低消費電力モードに移行するかを設定し、外部入力がない状態で、操作者によって設定された時間が経過した時に、LSIの内部回路へのクロック信号の供給を停止し、低消費電力モードに移行させるようにした情報処理装置が開示されている。

【0004】また、特開平9-200026号公報には、内部回路を複数の機能ブロックに分割し、切り替えピンから、動作させる機能ブロックの組合せを示す複数の切り替え信号を入力することによって、これら複数の機能ブロックの内、動作させる機能ブロックについてはクロック信号が供給され、動作させない機能ブロックに

ついては、クロック信号の供給が停止されるようにしたLSI論理回路が開示されている。

【0005】また、特開平5-61576号公報には、内部回路がアイドル状態になった場合に、内部回路から出力される状態遷移信号を検出し、この状態遷移信号が検出されてからの経過時間を計数し、この経過時間が、予め設定された時間設定データを越えたときに、内部回路に供給されるクロック信号の周波数を下げるように制御するようにした半導体集積回路装置およびその電力制御方法が開示されている。

【0006】このように、LSIの消費電力を削減するための従来の技術としては、例えばLSI外部のハードウェアによって、LSIに供給されるクロック信号を停止したり、あるいは、専用の外部ピンを介してLSIを低消費電力モードに移行させ、その内部クロックが停止されるようにしたり、CPUからのソフトウェアの命令によってLSIの内部レジスタを設定し、LSIを低消費電力モードに移行させたりしている。

【0007】しかしながら、上述する各公報に開示の各種装置や方法においては、LSIの外部から、LSIを低消費電力モードに移行させるための各種設定や解除の指示を、例えば外部ピンを経て直接的に、あるいは、内部レジスタ等を使用して間接的に行う必要がある。このため、CPUのソフトウェアや外付けハードウェアによる制御が必要となってコスト高になるし、きめ細かい消費電力制御ができない等の問題点があった。

【0008】

【発明が解決しようとする課題】本発明の目的は、前記従来技術に基づく問題点をかえりみて、専用の外部ピンや内部レジスタを必要とすることなく、LSIを低消費電力モードに移行させることができるLSIのクロック停止信号生成回路を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するために、本発明は、入力ピンまたは入力状態の双方向ピンから各々入力される少なくとも2本の信号の状態をモニターし、前記少なくとも2本の信号の全てが所定の一定時間以上停止しているか否かを検出し、これに応じてスリープフラグを生成する状態モニター回路と、前記スリープフラグの状態に応じて、内部回路に供給される内部クロック信号の動作または停止を制御するクロック停止回路とを有することを特徴とするLSIのクロック停止信号生成回路を提供するものである。

【0010】ここで、前記少なくとも2本の信号の全てが停止している時間に応じて、複数のスリープフラグを生成するのが好ましい。また、上記LSIのクロック停止信号生成回路であって、前記モニターする信号を各々グループ分けし、前記LSIのクロック停止信号生成回路を複数個設けることによって、複数のスリープフラグを生成するのが好ましい。

【0011】

【発明の実施の形態】以下に、添付の図面に示す好適実施例に基づいて、本発明のLSIのクロック停止信号生成回路を詳細に説明する。

【0012】図1は、本発明のLSIのクロック停止信号生成回路の一実施例の構成概念図である。同図に示すように、本発明のLSIのクロック停止信号生成回路10は、入力される複数の信号をモニターすることによって、低消費電力モードに移行することができるか否かを検出し、内部回路に供給される内部クロック信号の動作または停止を制御するもので、基本的に、状態モニター回路12、および、クロック停止回路14を有する。

【0013】LSIのクロック停止信号生成回路10において、状態モニター回路12は、入力される複数の信号の状態をモニターし、これら全ての信号が所定の一定時間以上停止しているか否かを検出し、これに応じてスリープフラグSLPを生成する。状態モニター回路12には、入力ピンを介して複数の信号S1、S2、…、SN、および、クロック入力ピンを介してクロック信号CLKが入力され、状態モニター回路12からは、スリープフラグSLPが出力されている。

【0014】状態モニター回路12によってモニターする信号は少なくとも2本であればよく、その本数に上限はないが、例えばアドレス信号等をモニターするのが好ましい。なお、上記実施例では、入力ピンから入力される信号をモニターしているが、本発明はこれに限定されず、例えば入力状態の双方向ピンから入力される信号でもよいし、これらのピンから入力される信号の組合せであってもよいし、あるいは、内部回路で生成される信号を含んでいてもよい。

【0015】ここで、図2に、状態モニター回路の一実施例の構成回路図を示す。図示例の状態モニター回路12は、状態遷移検出回路16、カウンタ18、スリープフラグ生成用レジスタ20等を有する。状態遷移検出回路16は、モニターする各々の信号S1、S2、…、SNの状態遷移を検出するもので、モニターする各々の信号S1、S2、…、SNに対応して1対1に設けられている。

【0016】図2の状態遷移検出回路16は、フリップフロップ22、24およびENORゲート26を有し、フリップフロップ22、24のデータ入力端子には、各々モニターする信号、フリップフロップ22の出力信号が入力され、そのクロック入力端子にはともにクロック信号CLKが入力されている。また、ENORゲート26には、フリップフロップ22、24の出力信号が入力され、その出力信号は、ANDゲート28およびNANDゲート30に入力されている。

【0017】各々の状態遷移検出回路16において、モニターする信号S1、S2、…、SNが、ハイレベルからローレベル、または、ローレベルからハイレベルに遷

移したことが検出された場合、ENORゲート26からは、クロック信号CLKの1周期分の時間に相当するパルス幅を持つローレベルのパルスが出力される。これに対し、信号S1、S2、…、SNが停止していることが検出された場合、ENORゲート26の出力信号はハイレベルに保持される。

【0018】すなわち、ANDゲート28、NANDゲート30からは、全てのENORゲート26の出力信号がハイレベル、すなわち、全ての信号S1、S2、…、SNが停止していることが検出された場合にのみ、各々ハイレベル、ローレベルが出力され、少なくとも1つのENORゲート26の出力信号がローレベル、すなわち、少なくとも1つの信号S1、S2、…、SNが遷移したことが検出された場合には、各々ローレベル、ハイレベルが出力される。

【0019】また、カウンタ18は、クリア入力端子CLRに入力される信号によってクリアされ、イネーブル入力端子ENに入力される信号によって、予め設定されている一定のカウント数になるまでクロック信号CLKをカウントする。カウンタ18のイネーブル入力端子EN、クリア入力端子CLR、クロック入力端子には、各々ANDゲート28の出力信号、NANDゲート30の出力信号、クロック信号CLKが入力されている。

【0020】カウンタ18は、NANDゲート30の出力信号のハイレベルによってクリアされ、図示例においては、その出力信号COがローレベルとされる。また、カウンタ18は、NANDゲート30の出力信号がローレベル、なおかつ、ANDゲート28の出力信号がハイレベルの場合、クロック信号CLKをカウントし、予め設定されている一定のカウント数になるまでカウントした時点で、図示例では、その出力信号COがハイレベルに保持される。

【0021】なお、カウンタ18によってカウントされるクロック信号CLKのカウント数は、状態遷移検出回路16によって、全ての信号S1、S2、…、SNが停止していることが検出された後、次に述べるスリープフラグ生成用レジスタ20によって、スリープフラグSLPがセットされるまでの時間に相当するものである。従って、このカウント数を適宜決定することによって、きめ細かい消費電力制御を行うことができる。

【0022】スリープフラグ生成用レジスタ20は、セット入力端子Sに入力される信号によってセットされ、リセット入力端子Rに入力される信号によってリセットされるスリープフラグSLPを生成する。スリープフラグ生成用レジスタ20のセット入力端子S、リセット入力端子R、クリア入力端子には、各々カウンタ18の出力信号CO、NANDゲート30の出力信号、外部ピンを経て入力されるLSI全体のリセット信号RSTNが入力されている。

【0023】スリープフラグ生成用レジスタ20は、図

示例においては、リセット信号RSTNのローレベルによってクリアされ、スリープフラグSLPがローレベルにリセットされる。また、スリープフラグ生成用レジスタ20は、カウンタ18の出力信号のハイレベルによって、スリープフラグSLPがハイレベルにセットされ、NANDゲート30の出力信号のハイレベルによって、スリープフラグSLPがローレベルにリセットされる。

【0024】すなわち、図2の状態モニター回路12においては、入力ピンから入力される各々の信号S1、S2、…、SNの状態遷移が、これに各々対応する状態遷移検出回路16によって検出され、全ての信号S1、S2、…、SNが停止していることが検出された場合、カウンタ18によって、予め設定された一定のカウント数までクロック信号CLKがカウントされた後、スリープフラグ生成用レジスタ20によってスリープフラグSLPがセットされる。

【0025】続いて、クロック停止回路14は、スリープフラグSLPの状態に応じて、内部回路に供給される内部クロック信号の動作または停止を制御する。クロック停止回路14には、クロック信号CLK、および、状態モニター回路12から出力されるスリープフラグSLPが入力され、クロック停止回路14からは、このLSIのクロック停止信号生成回路10以外の内部回路に供給される内部クロック信号が出力されている。

【0026】ここで、図3に、クロック停止回路の一実施例の構成回路図を示す。図3のクロック停止回路14は、フリップフロップ32およびANDゲート34を有する。フリップフロップ32のデータ入力端子、クロック入力端子には各々スリープフラグSLP、クロック信号CLKが入力され、ANDゲート34には、フリップフロップ32の出力信号およびクロック信号CLKが入力され、ANDゲート34からは、内部クロック信号が出力されている。

【0027】図3のクロック停止回路14において、スリープフラグSLPは、クロック信号CLKの立ち下がりによってフリップフロップ32に保持される。図示例の場合、フリップフロップ32に保持されたスリープフラグSLPがハイレベルである場合、内部クロック信号は強制的にローレベルとされ、スリープフラグSLPがローレベルである場合、クロック信号CLKが、ANDゲート34を介して内部クロック信号として内部回路に供給される。

【0028】本発明のLSIのクロック停止信号生成回路10は、基本的に以上のような構成のものである。なお、上記実施例では、図2および図3に示す具体的な回路構成を例示して、状態モニター回路12およびクロック停止回路14について説明したが、本発明において、状態モニター回路12およびクロック停止回路14の具体的な回路構成は何ら限定されるものではない。

【0029】次に、図4のタイミングチャートを参照し

ながら、本発明のLSIのクロック停止信号生成回路の動作について説明する。ここで、図4は、本発明のLSIのクロック停止信号生成回路の動作を表す一実施例のタイミングチャートである。

【0030】本発明のLSIのクロック停止信号生成回路10において、各々の入力ピンから入力される信号S1、S2、…、SNは、これに各々対応する状態遷移検出回路16によって常にモニターされている。図4のタイミングチャートに示すように、各々の状態遷移検出回路16によって、全ての信号S1、S2、…、SNが停止していることが検出された場合、全てのENORゲート26の出力信号はハイレベルに保持される。

【0031】これによって、ANDゲート28、NANDゲート30の出力信号は各々ハイレベル、ローレベルとなり、カウンタ18によって、クロック信号CLKのカウントが開始される。カウンタ18によって、予め設定された一定のカウント数(nT)までクロック信号CLKがカウントされると、カウンタ18の出力信号COがハイレベルとなり、スリープフラグ生成用レジスタ20がセットされ、スリープフラグSLPがハイレベルにセットされる。

【0032】続いて、スリープフラグSLPのハイレベルは、クロック信号CLKの立ち下がりによってクロック停止回路14のフリップフロップ32に保持され、これによって、内部クロック信号は、ANDゲート34によって強制的にローレベルに保持される。このように、本発明においては、低消費電力モードとして、内部回路に供給される内部クロックを停止することによって、内部回路の一切の動作が停止され、その消費電力を低減させることができる。

【0033】その後、信号S1、S2、…、SNの内の少なくとも1つが遷移したことが検出された場合、ENORゲート26の出力信号はローレベルになる。これによって、ANDゲート28、NANDゲート30からは、各々ローレベル、ハイレベルが出力され、カウンタ18の出力信号COがクリアされてローレベルとなり、スリープフラグ生成用レジスタ20がNANDゲート30の出力信号によってリセットされ、スリープフラグSLPはローレベルになる。

【0034】続いて、スリープフラグSLPのローレベルは、クロック信号CLKの立ち下がりによってクロック停止回路14のフリップフロップ32に保持され、これによって、クロック信号CLKが、ANDゲート34を介して内部クロック信号として内部回路に供給される。これにより、内部回路は動作を再開する。本発明のLSIのクロック停止信号生成回路10は、基本的に以上のように動作する。

【0035】以上、本発明のLSIのクロック停止信号生成回路について詳細に説明したが、本発明は上記実施例に限定されず、本発明の主旨を逸脱しない範囲におい

て、種々の改良や変更をしてもよいのはもちろんである。

【0036】例えば、カウンタに予め複数のカウント数を設定しておき、これら複数のカウント数に応じて複数のスリープフラグを生成し、LSI内部で複数の低消費電力モードを発生させてもよいし、モニターする信号を各々グループ分けし、本発明のLSIのクロック停止信号生成回路を複数個設けることによって、複数のスリープフラグSLPを生成し、LSI内部で複数の低消費電力モードを発生させてもよいし、あるいは、これらを組み合わせてもよい。

【0037】

【発明の効果】以上詳細に説明した様に、本発明のLSIのクロック停止信号生成回路は、入力ピンまたは入力状態の双方向ピンから各々入力される2本以上の信号の状態をモニターし、これら2本以上の信号の全てが所定の一定時間以上停止しているか否かを検出し、これに応じてスリープフラグを生成し、このスリープフラグの状態に応じて、内部回路に供給される内部クロック信号の動作または停止を制御するようにしたものである。このように、本発明のLSIのクロック停止信号生成回路によれば、複数の信号をモニターすることによって、低消費電力モードに移行させることができるかどうかを自動的に判断しているため、LSIの外部から、低消費電力モードに移行させるための各種設定や解除の指示を直接的あるいは間接的に行う必要が全くなく、CPUのソフトウェアや外付けハードウェアによる制御を不要のもの

とすることができるため、そのためのコストを削減することができるし、自動的に判断して低消費電力モードに移行させているため、きめ細かい消費電力制御を行うことができる。

【図面の簡単な説明】

【図1】 本発明のLSIのクロック停止信号生成回路の一実施例の構成概念図である。

【図2】 本発明のLSIのクロック停止信号生成回路の状態モニター回路の一実施例の構成回路図である。

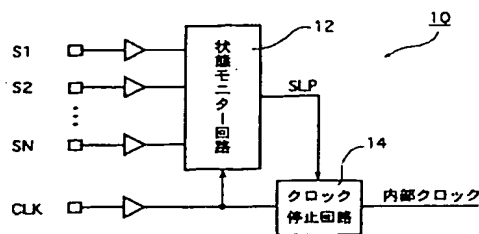
【図3】 本発明のLSIのクロック停止信号生成回路のクロック停止回路の一実施例の構成回路図である。

【図4】 本発明のLSIのクロック停止信号生成回路の動作を表す一実施例のタイミングチャートである。

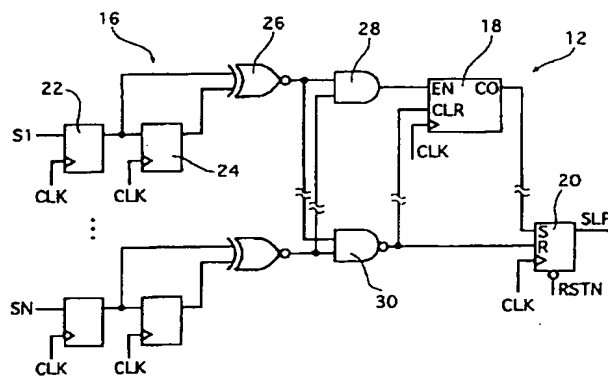
【符号の説明】

- 10 LSIのクロック停止信号生成回路
- 12 状態モニター回路
- 14 クロック停止回路
- 16 状態遷移検出回路
- 18 カウンタ
- 20 スリープフラグ生成用レジスタ
- 22, 24, 32 フリップフロップ
- 26 ENORゲート
- 28, 34 ANDゲート
- 30 NANDゲート
- S1, S2, ..., SN 信号
- CLK クロック信号
- SLP スリープフラグ

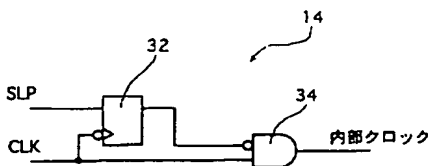
【図1】



【図2】



【図3】



【図4】

